

PAT-NO: JP363240215A
DOCUMENT-IDENTIFIER: JP 63240215 A
TITLE: PLL CIRCUIT
PUBN-DATE: October 5, 1988

INVENTOR-INFORMATION:

NAME

MORI, YASUYUKI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP62075141

APPL-DATE: March 27, 1987

INT-CL (IPC): H03L007/08

US-CL-CURRENT: 327/108

ABSTRACT:

PURPOSE: To eliminate the pulsation of an output frequency in the case of locking and the drift in holding the output frequency by providing a constant current source connected to an input terminal of a low pass filter.

CONSTITUTION: A constant current source 6 is connected to the input terminal of an LPF 2. Thus, a constant current source 6 acts like to cancel the output leak current of a phase comparator 1, the leakage current of an integration capacitor of the LPF 2 and the input current of the variable frequency oscillator 3. Since the constant current source 6 is connected to the LPF 6 to cancel the leakage current being a cause to fluctuate the output voltage of the

LPF 6 in this way, the pulssation of the output frequency at lock due to the leakage current and the output frequency drift in holding the output frequency are eliminated and the circuit operated stably is obtained.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A) 昭63-240215

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月5日

H 03 L 7/08

K-8731-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 PLL回路

⑯ 特 願 昭62-75141

⑰ 出 願 昭62(1987)3月27日

⑱ 発 明 者 森 康 幸 京都府長岡京市馬場岡所1番地 三菱電機株式会社京都製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

PLL回路

2. 特許請求の範囲

(1) 制御信号と帰還信号との位相差に応じた値の電流を出力する位相比較器と、この出力電流が^カ入^ハされて平滑化された積分電圧を出力するローパスフィルタと、この積分電圧値に比例した周波数の信号を発生する電圧制御発振器と、この発振器の出力信号を分周して上記位相比較器に帰還信号として入力する分周器とを備えたPLL回路において、上記ローパスフィルタに、当該フィルタ内に発生するリーク電流を打ち消す電流を給電する定電流電源を備えたことを特徴とするPLL回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、PLL回路に関するものである。

(従来の技術)

第9図は従来のPLL回路図のブロック回路図である。

図において(1)は制御信号aと帰還信号bとの位相差を比較する位相比較器、(2)は位相比較器(1)の出力信号I₁を入力とするローパスフィルタ、(3)はローパスフィルタ(2)の出力信号V_dを入力とする可変周波数発振器、(4)は可変周波数発振器(3)の出力信号eを分周した信号bを出力する分周器である。なお、ローパスフィルタ(2)は、抵抗R1およびコンデンサcで構成されている。

次に動作について説明する。第10図は従来例の各部の信号波形図である。

信号aの立上りに対する、信号bの立上り位相の遅れをΔTとすると、位相比較器(1)の出力I₁には、ΔTが正のときには正の、また、ΔTが負のときには負の荷重電流I₁がΔTの期間だけ出力される。すなわち、第10図(a)、(b)に示す信号a、信号bが入力されたとき、位相比較器(1)の出力には、同図(c)に示す荷重電流I₁が出力される。

次に、この荷重電流I₁はローパスフィルタ(2)に入力される。ここで、入力された荷重電流I₁が抵抗R1を通してコンデンサcに加わることに

より同図(d)に示す積分された電圧信号 V_d が出力される。

次に、この積分電圧 V_d は可変周波数発振器(3)に入力され、積分電圧 V_d に正比例した周波数の信号 e を出力する。

この信号 e は分周期(4)で $1/N$ に分周されて位相比較器(1)に信号 b としてフィードバックされる。したがって信号 b の周波数 f_b は、ローパスフィルタ(2)の出力積分電圧 V_d に正比例する。

以上のように、信号 a に対して信号 b の位相が遅れたとき、正の荷重電流 I_1 が位相比較器(1)より出され、ローパスフィルタ(2)により積分され積分電圧 V_d が上昇し、可変周波数発振器(3)の出力信号 e の周波数 f_e が上がり、分周器(4)の出力信号 b の周波数 f_b も上がり、信号 b の位相が進むように動作する。逆に信号 a に対して信号 b の位相が進んだときには、位相比較器(1)は負の荷重電流 I_1 を出力することにより信号 b の位相を遅らせるように動作する。このように、信号 b は信号 a との位相差が減少するように動作し、位相差が

(3)

クルの信号 b の周波数 f_b は一定であり、ローパスフィルタ(2)の出力積分電圧 V_d も一定である。したがって、位相比較器(1)の出力荷重電流 I_1 の各サイクルの平均値 \bar{I}_1 はゼロである。このときの信号 a と信号 b の位相差 ΔT の値は第11図中の ΔT_0 であり、各部の動作波形は第12図のようになる。すなわち、信号 a の周期を T とすれば、 ΔT_0 の間は位相差にもとづく荷重電流 I_p が、また $T - \Delta T_0$ の間はリーク電流 I_R が位相比較器(1)から出力されるが、各サイクルの平均電流 \bar{I}_1 はゼロであるから、荷重電流 I_p によるローパスフィルタ(2)の積分電圧 V_d の変化と、リーク電流 I_R による積分電圧 V_d の変化は1サイクルで打ち消し合い、各サイクルの積分電圧 V_d 波形は同じ形となる。

また、ローパスフィルタ(2)の積分コンデンサ c のリーク電流や、可変周波数発振器(3)の入力電流が有る場合にも同様の動作をする。すなわち、それらの電流による積分電圧 V_d の変化を打ち消すだけの荷重電流 I_p が位相比較器(1)より出力され

なくなると、位相比較器(1)の出力荷重電流はゼロとなり、ローパスフィルタ(2)の出力積分電圧 V_d および可変周波数発振器の出力信号 e の周波数 f_e 及び可変分周期(4)の出力信号 b の周波数 f_b は一定となり、信号 a と信号 b の位相差も一定となる。このように信号 a と信号 b の位相差が一定となることをロックと呼ぶ。

以上が PLL 回路の動作原理であり、位相比較器(1)の入力信号 a と信号 b の位相差 ΔT がゼロのとき、出力荷重電流 I_1 もゼロとなる理想的な動作について説明した。

しかし、従来の PLL 回路では、第11図に示すように、信号 a と信号 b の位相差 ΔT がゼロのとき、位相比較器(1)の出力荷重電流 I_1 の各サイクルの平均値 \bar{I}_1 はゼロとならない。これは、位相比較器(1)の出力荷重電流 I がゼロとなるべきところでも、リーク電流 I_R が出力されることによるものである。以下第11図の特性図にもとづいて動作を説明する。

まず PLL 回路がロックしているとき、各サイ

(4)

て、PLL 回路がロックするため、ロックしたときの荷重電流 I_p のパルス幅はゼロにならず、その積分電圧 V_d の波形は第12図と同様に周期 T の三角波となる。

〔発明が解決しようとする問題点〕

従来の PLL 装置は以上のように構成されているため、ロックしたときローパスフィルタ(2)の出力電圧 V_d は、三角波となる。したがって、分周器(4)の分周比 N が1より大きい整数とすると、可変周波数発振器(3)の出力信号 e の周波数 f_e は入力電圧 V_d に比例して変化するため、入力信号 a の周期 T と同一の周期で脈動するという問題点があつた。また、可変周波数発振器(3)の出力信号 e の周波数 f_e をホールドするとき、リーク電流により周波数 f_e がドリフトするという問題点があつた。

この発明は、上記のような問題点を解消するためになされたもので、ロックしたときの可変周波数発振器(1)の出力信号 e の周波数 f_e が脈動せず、かつ、周波数 f_e をホールドしたときのドリフト

(5)

(6)

のないPLL回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るPLL回路は、ローパスフィルタの入力端子に接続されている定電流源を備えたことを特徴とするものである。

〔作用〕

この発明における定電流源は、ローパスフィルタの入力端子に接続されることにより、位相比較器の出力リーク電流や、ローパスフィルタの積分コンデンサのリーク電流や、可変周波数発振器の入力電流を打ち消すよう動作する。したがって、PLL回路がロック時したときの出力周波数の脈動および出力周波数をホールドしたときのドリフトがなくなる。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。第1図はこの実施例のブロック回路図で、第9図と同一符号はそれぞれ同一部分を示している。図において、(6)は定電流源で、ローパスフィルタ(2)の入力端子に接続される。

(7)

打ちけすような値、すなわち

$$I_8 = -I_R \quad \dots \dots \dots (2)$$

とすることにより、ローパスフィルタ(2)の入力電流平均値 \bar{I}_2 は、位相比較器(1)の入力位相差 ΔT に対して第2図に示す特性となる。すなわち、 $\bar{I}_2 = 0$ のとき $\Delta T = 0$ となる。

したがって、第1図に示すPLL回路は、ロックしたとき、信号aと信号bの位相差 ΔT がゼロとなる。

第8図はこのときの各部の動作波形図であり、ローパスフィルタの入力電流 I_2 は、常にゼロ、出力電圧 V_d は一定値、信号aと信号bの立上りの位相差もゼロとなる。

また、ローパスフィルタ(2)の積分コンデンサcのリーク電流や、可変周波数発振器(3)の入力電流が有る場合も、定電流源(6)の電流 I_8 を適切な値に選ぶことにより、これらの電流を打ち消すことができる。

なお、上記実施例では、ローパスフィルタ(2)は抵抗R1とコンデンサcにより構成されているが、

第2図は、位相比較器(1)の入力信号aと入力信号bの位相差 ΔT に対する位相比較器(1)の出力電流 I_1 の平均値 \bar{I}_1 の特性、およびローパスフィルタの積分回路に入力される電流 I_2 の平均値 \bar{I}_2 の特性を示す図である。以下この図により、定電流源(6)の作用を説明する。

まず位相比較器(1)の出力電流 I_1 の平均値 \bar{I}_1 と入力位相差 ΔT の特性は第11図の特性と同じであり、入力位相差 ΔT がゼロのときにリーク電流 I_R があり、位相比較器(1)の出力電流 I_1 の平均値 \bar{I}_1 はゼロにならない。

しかし、第1図に示すようにローパスフィルタ(2)には位相比較器(1)と定電流源(6)とが接続されており、ローパスフィルタ(2)の積分回路に入力される電流 I_2 の平均値 \bar{I}_2 は、位相比較器(1)の出力電流 I_1 の平均値 \bar{I}_1 と、定電流源(6)の出力電流 I_8 の加算されたものとなるから、

$$\bar{I}_2 = \bar{I}_1 + I_8 \quad \dots \dots \dots (1)$$

で表わされる。したがって、定電流源(6)の出力電流 I_8 の値を、位相比較器(1)のリーク電流 I_R を

(8)

第4図に示すように、抵抗R1、R2とコンデンサcにより構成したものでもよく、さらに第5図に示すように、反転増幅器Aを追加して構成したものでもよい。

また、上記実施例では定電流源(6)は、ローパスフィルタ(2)の入力端子側に接続されているが、第6図に示すように、出力端子側に接続してもよい。

また、第7図および第8図はそれぞれ定電流源(6)の他の実施例を示す図で、第7図は高抵抗 R_4 と電圧源Eとで構成したもので、高抵抗 R_4 の値を、ローパスフィルタ(2)の時定数を決定する抵抗R1より十分に大きい値とすることにより定電流源(6)として使用できる。

また第8図は、トランジスタQ、抵抗R5および電圧源Eにより構成した定電流源(6)の例である。

〔発明の効果〕

以上のように、この発明によれば、PLL回路のローパスフィルタに定電流源を接続し、当該ローパスフィルタの出力電圧を変動させる要因となるリーク電流を打ちけすように構成したので、リ

ーク電流によるロック時の出力周波数の脈動、および出力周波数をホールドしたときの出力周波数ドリフトがなく、安定に動作するPLL回路が得られる効果がある。

なお、定電流源は出力インピーダンスが高いため、ローパスフィルタに接続してもその時定数には影響が小さくPLL回路全体の安定性を劣化させたり、引き込み範囲をせまくするような副作用を生じない利点がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック回路図、第2図はこの実施例の動作特性図、第3図はこの実施例の各部の動作波形図、第4図、第5図および第6図はそれぞれこの発明の他の実施例の要部の構成を示す回路図、第7図および第8図はそれぞれこの発明の要部である定電流源の構成例を示す回路図、第9図は従来のPLL回路のブロック回路図、第10図はこの従来例の各部の動作波形図、第11図は従来のPLL回路の動作特性図、第12図は従来のPLL回路の各部の動作波形図

である。

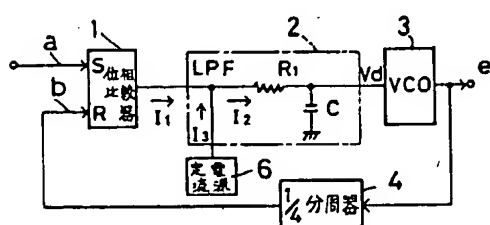
(1) …位相比較器、(2) …ローパスフィルタ、(3) …可変周波数発振器、(4) …分周器、(6) …定電流源。

なお、各図中、同一符号は同一、または相当部分を示す。

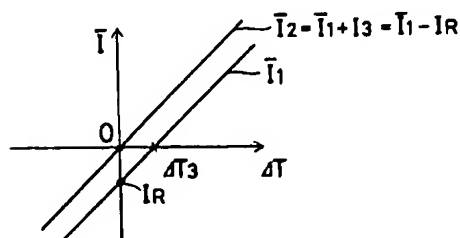
代理人 大 岩 増 雄

04

第 1 図

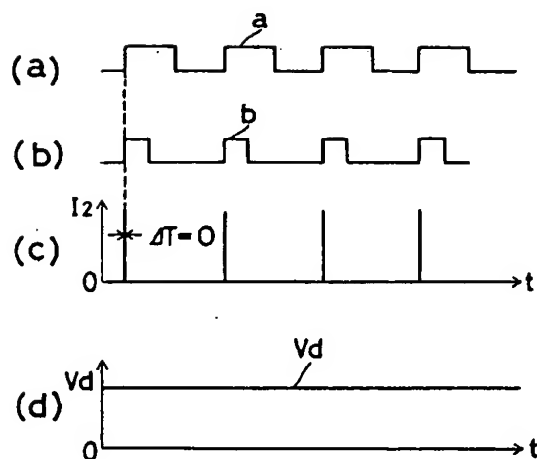


第 2 図

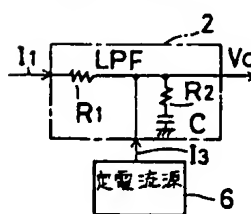


04

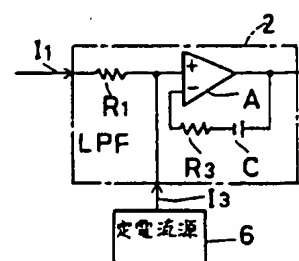
第 3 図



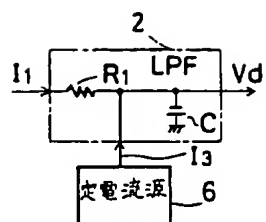
第 4 図



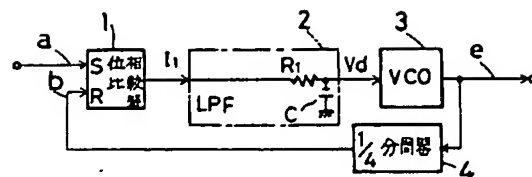
第 5 図



第 6 図

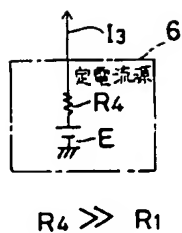


第 9 図

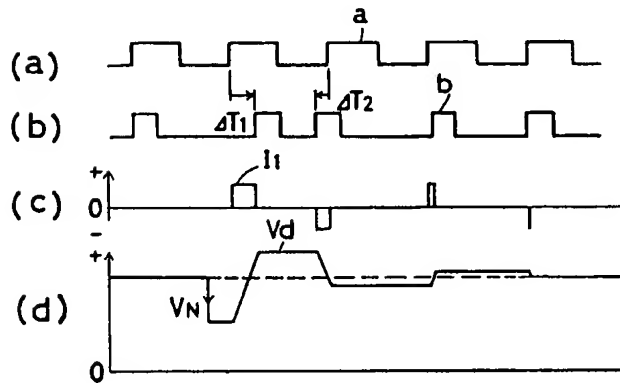
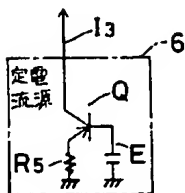


第 10 図

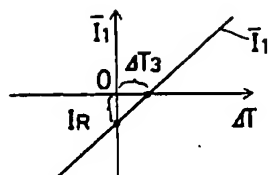
第 7 図



第 8 図



第 11 図



第 12 図

